

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2000101803  
PUBLICATION DATE : 07-04-00

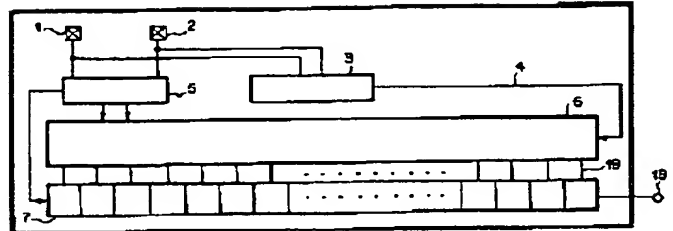
APPLICATION DATE : 25-09-98  
APPLICATION NUMBER : 10271751

APPLICANT : CANON INC;

INVENTOR : KOZUKA HIRAKI;

INT.CL. : H04N 1/19 H04N 1/028

TITLE : PHOTOELECTRIC CONVERTER, AND  
IMAGE SENSOR USING THE  
CONVERTER AND IMAGE INPUT  
SYSTEM USING THE SENSOR



ABSTRACT : PROBLEM TO BE SOLVED: To attain multi-function and low cost by to generating a resolution control signal for controlling the resolution through the use of an external clock signal and a start signal thereby realizing resolution switching without the need for provision of a control terminal.

SOLUTION: A clock pulse and a start pulse received from input terminals 1, 2 are given to a shift register 6 to shift a signal in the shift register 6 depending on the clock pulse via a timing generating circuit 5. Simultaneously, both external pulses are also given to a resolution control signal generating circuit 3. In this case, the start pulse with a pulse width corresponding to a desired resolution is given to the circuit 3 whose output control signal is set to a high or a low level depending on the pulse width and the output control signal is given to the shift register 6 through a signal line 4. A read pulse from the shift register 6 is used to read a signal voltage generated in light receiving elements such as photo-diodes through photoelectric conversion in a light receiving element array 7 serially in time series and the signal voltage is outputted from an output terminal 18.

COPYRIGHT: (C)2000,JPO



## 【特許請求の範囲】

【請求項1】 外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置において、

前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とする光電変換装置。

【請求項2】 前記解像度制御信号生成手段は、前記スタート信号のパルス幅を変えることにより、前記解像度制御信号を生成することを特徴とした請求項1に記載の光電変換装置。

【請求項3】 前記解像度制御信号生成手段は、少なくとも2種類以上の解像度制御信号を生成することを特徴とする請求項1又は2に記載の光電変換装置。

【請求項4】 外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置を複数実装したイメージセンサにおいて、

前記光電変換装置は、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とするイメージセンサ。

【請求項5】 前記解像度制御信号生成手段は、前記スタート信号のパルス幅を変えることにより、前記解像度制御信号を生成することを特徴とした請求項4に記載のイメージセンサ。

【請求項6】 前記解像度制御信号生成手段は、少なくとも2種類以上の解像度制御信号を生成することを特徴とする請求項4又は5に記載のイメージセンサ。

【請求項7】 クロック信号とスタート信号を出力することにより光電変換装置の動作を制御する光電変換装置駆動手段と、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段とを備える光電変換装置を具備する画像入力システムにおいて、前記光電変換装置駆動手段は、解像度切り換え信号を入力する光電変換装置駆動パルス変調手段を備えることを特徴とする画像入力システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、解像度切り換え機能を有する1次元、及び2次元の光電変換チップにスタート信号入力端子及びクロック信号入力端子を設けた光電変換装置及び、それを複数実装した密着型イメージセンサ、及びそれを用いた画像読み出しシステムに係わるものである。

## 【0002】

【従来の技術】近年、一次元の光電変換装置の分野においては、縮小光学系を用いたCCDや、複数の半導体光センサチップをマルチ実装した、等倍系を用いた密着型イメージセンサの開発が積極的に行われており、ユーザ

が利用条件にあわせて粗密の解像度を切り換えて、画像を読みとることができる密着型イメージセンサも提案されている。

【0003】図7は特開平5-227362号公報に提案されている密着型イメージセンサ用集積回路の回路図である。この従来技術においては、イメージセンサチップにコントロール端子(125)を設け、その端子にユーザが、HiまたはLoの信号を入力することにより、シフトレジスタを制御し、解像度を切り換えるものである。

【0004】図7に掲げる密着型イメージセンサについて概略を説明すると、スタートパルスSIと、クロックパルスCLKとをシフトレジスタ群104に供給する。スタートパルスSIによってシフトレジスタ群104aが起動されると、その出力はNORゲート121aおよびANDゲート120aを通してチャンネルセレクトスイッチ103aに入力され、これをオンにしフォトセル1aからの信号を信号ライン107aに取り出す。他のシフトレジスタ104b~104fも順次起動していき、各フォトセル101b~101lからの信号を107a、107bに出力する。

【0005】ここで、コントロール信号入力端子125にコントロール信号Hiが入力されると、アナログスイッチ110a、110b、122a、122bが切り替えられ、画像出力端子111に例えば、16ドット/ミリの読み取り密度で画像信号が得られる。また、コントロール信号入力端子125にコントロール信号Loが入力されると、アナログスイッチ110aが常にオン状態となり、画像出力端子111にはフォトセル101aから101l全体の半分の8ドット/ミリの読み取り密度で画像信号が得られる。

【0006】つまり、センサIC上のフォトセル101aから101lは常に全数が動作しているが、外部に出力画像信号を取り出す際に、コントロール信号によって一部を間引いて出力させることができる。そのため、画像信号の電圧レベルは常に一定となり、該イメージセンサ後段の画像処理回路の構成は従来のもので対応が可能となる、ことが記載されている。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記従来の密着型イメージセンサは、複数のチップを実装基板上にマルチ実装するため、上記の従来技術を用いることにより製造コストが高くなるという問題がある。

【0008】すなわち、1つは、解像度切り換えに必要な端子の数が増加し、ワイヤーボンディング工程が増加するため、該イメージセンサがコストアップするという問題である。

【0009】従来技術の例をあげると、最低でも、チップと外部との信号伝達に必要な端子は、1チップあたり6ヵ所(光電変換装置の電源電圧入力端子VDD、GN

D、光電変換装置1チップのスタートパルス入力端子S I、CLK、次チップのスタートパルス入力端子S Iに接続されるスタートパルス出力端子S O、画像信号を出力する出力端子S I G)が必要であり、仮に15チップを1列にマルチ実装とすると、計90ヵ所のワイヤボンディングが必要である。これに、上記従来技術を用いる場合は、解像度切り換えに必要なコントロール端子が、更に1チップあたり1ヵ所のワイヤボンディングが追加されるとすると、合計105ヵ所のワイヤボンディングが必要となる。

【0010】また、実装基板上の配線が増加するため、コントロール端子が無い場合に比べて実装基板が大きくなることは避けられず、さらには、実装基板上に新たにコントロール端子の配線を設けることにより生じるコストアップもある。

【0011】従って、従来技術を用いて密着型イメージセンサの解像度切り換えを実現する場合は、解像度切り換えが無い場合と比較して、製造コストが高くなってしまいうという問題は避けられない。

【0012】(発明の目的)本発明の目的は、上記従来技術に示すようなコントロール端子を設けることなく光電変換装置の解像度切り換えを実現する新規な構成を提案するものであり、かつ、多機能でかつ安価な光電変換装置を提供することにある。

【0013】

【課題を解決するための手段】上記の問題を解決するために、本発明の光電変換装置は、外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置において、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とする。

【0014】また、本発明のイメージセンサは、外部から入力されるクロック信号及びスタート信号により動作を制御する光電変換装置を複数実装したイメージセンサにおいて、前記光電変換装置は、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段を有することを特徴とする。

【0015】さらに、本発明の画像入力システムは、クロック信号とスタート信号を出力することにより光電変換装置の動作を制御する光電変換装置駆動手段と、前記クロック信号及び前記スタート信号の入力を用いて解像度を制御する解像度制御信号を生成する解像度制御信号生成手段とを備える光電変換装置を具備する画像入力システムにおいて、前記光電変換装置駆動手段は、解像度切り換え信号を入力する光電変換装置駆動パルス変調手段を備えることを特徴とする。

【0016】(作用)本発明は、光電変換装置の動作制御に必要な不可欠なクロック信号とスタート信号を用いて

解像度切り換えの制御信号を生成するため、コントロール端子を設けることなく、解像度切り換え機能を有する。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。

【0018】(実施形態1)図1は、本発明の実施形態1における光電変換装置内の光電変換素子を含む1チップの回路ブロック図である。

【0019】図1において、光電変換素子を含む光電変換チップは、外部からクロックパルスを入力するクロック(CLK)入力端子1及び、スタートパルスを入力するスタートパルス(SP)入力端子2、解像度に応じた制御信号を生成する信号生成回路3、及びその制御信号を出力する信号線(ΦM)4、シフトレジスタ6、シフトレジスタを作動させるタイミングを発生させるタイミング発生回路5、光電変換する受光素子アレイ7、各々の光電変換素子の出力を取り出す出力端子18から構成されている。

【0020】つぎに、本実施形態の動作を説明する。

【0021】光電変換装置を作動させるため、光電変換素子の外部からスタートパルス(SP)入力端子2を介してスタートパルスを、またクロック(CLK)入力端子1を介してクロックパルスを、それぞれタイミング発生回路5を通じてシフトレジスタ6に供給する。シフトレジスタ6は、クロックに応じて信号をシフトする。

【0022】また、上記スタートパルス及びクロックは、信号生成回路3にも入力される。ここで、スタートパルスはユーザの選択により希望の解像度に応じたパルス幅で入力され、該入力パルス幅により制御信号 $\phi_n$ がHiまたはLoとなる。信号生成回路3で生成された制御信号 $\phi_n$ は、信号線4を介して、シフトレジスタ6に供給される。このシフトレジスタ6に供給される制御信号については、図2を用いて後述する。

【0023】さらに、本実施形態のシフトレジスタ6は、クロックに応じて1ビットずつシフトする回路であればよく、さらに進めて、例えば、シフトレジスタブロックから構成されたもの等を用いることも考えられ、具体的に8画素分1ブロックであるシフトレジスタブロックから構成されている場合には、高解像度の時では1画素1ビット、低解像度の時では2画素加算により2画素1ビットで、光電変換素子の光電荷を読み出している。なお、この際に容量分割加算方式を用いることができ、これについては、例えば、特開平4-4682号公報に開示されている。

【0024】また、受光素子アレイ7では、不図示のホトダイオード等の受光素子において光電変換により生成された信号電圧がシフトレジスタ6からの読み出しパルスによって、時系列的にシリアルに読み出され、出力端子18から出力される。

【0025】図2は、図1に示した信号生成回路3の等価回路図であり、図3は、図2に示した信号生成回路3のタイミングチャートである。

【0026】図中の8及び9は、信号生成回路3内部の遅延回路である。本回路は、図3に示すA点のパルス波を得るために用いるものであり、スタートパルスのダウンエッジから一定時間経過時にA点をHiにして、そのときのクロックのHiまたは、Loを検出し、解像度制御信号を制御する。

【0027】つぎに、信号生成回路3の動作について、図3のタイミングチャートを用いて、図中のA点での波形を得べくピックアップしたa点からe点での波形を交えながら説明する。

【0028】また、本実施形態においては、例えば、遅延回路8の遅延時間を約200nsec、遅延回路9の遅延時間を約100nsecとしており、クロックは500nsecとしてあり、スタートパルスは解像度に応じて、パルス幅を変えて光電変換装置に入力する。

【0029】信号生成回路3に入力されたスタートパルスは、a点では遅延回路8によって、まず200ns遅延され、b点ではさらに遅延回路9によって100ns遅延される。c点では、NAND回路によりa点及びb点によりbと同時に立ち上がり、また、a点と同時に立ち下がる。e点ではc点と逆になり、したがって、AND回路を経過したA点においては、スタートパルスの立ち下がりに対して、遅延回路8の遅延時間後に立ち上がり、遅延回路9のパルス幅で立ち下がるパルスが生成される。

【0030】このA点のパルスで、バッファを経過したクロックパルスをスイッチ回路でサンプリングし、そのときの値をキャパシタに保持して、制御信号 $\phi_n$ を出力する。

【0031】したがって、信号生成回路3に入力したスタートパルスSPは、A点においては、スタートパルスのダウンエッジ時から、遅延回路8の遅延時間経過後に、遅延回路9の遅延時間に値するパルス幅のパルスが生成される。

【0032】すなわち、A点では、スタートパルスのダウンエッジに対して、一定期間に立ち上がるから、そのパルスの位置は、スタートパルスのダウンエッジを制御することにより変化させることが可能となるため、クロックをHiの時にサンプリングするか、Loの時にサンプリングするかによって解像度制御信号の状態を制御することが可能となる。具体的には、サンプリング時にクロックがLoの場合には、図2中のキャパシタによって制御信号をLoに維持し、一方、クロックがHiの場合には、やはり、キャパシタによって、該信号をHiにする。

【0033】つぎに、上記信号は、シフトレジスタ6に供給されて、受光素子アレイ7と接続する走査線19に

おいて、たとえば、高解像度時には、走査線1本ずつ順次読み出していくが、低解像度時には、隣接する2つの走査線を1組として読みだし、続いて次の1組を読みだす構成をとり、これにより解像度切り換えをする。

【0034】なお、本実施形態における遅延回路8、及び9は、抵抗と容量を用いたCRの遅延回路を用いているが、同様の結果が得られるような、例えばインバータを複数段設けた遅延回路でも構わない。さらに、本実施形態においては、遅延回路1の遅延時間を約200nsec、遅延回路2の遅延時間を約100nsecとしているが、クロックパルスの周期に応じて定めればよくこの数値に限定されるものでない。

【0035】さらに、本実施形態1においては、受光素子アレイ7は例えば、Loの時には、600dpiの解像度で形成されているが、解像度の変換信号の切り替えにより、該制御信号をHiにしたときは、300dpiの解像度を選択して信号を読み出すことが可能な構成となっている。

【0036】解像度制御信号と解像度の関係を以下に例示する。

解像度制御信号	解像度
Lo	600dpi
Hi	300dpi

なお、本実施形態は、他の手段を用いてスタートパルスとクロックから[ハイレベル/ローレベル]の信号を任意に生成する手段を用いても良く、この実施形態に限定されるものではない。また、解像度についても、[ハイレベル/ローレベル]に[600dpi/300dpi]の例を示したが、例えば、[400dpi/200dpi]の解像度でも同様に適用できる。また、上記に掲げた解像度数は例示であり、ユーザ等の目的にあわせて任意に設定ができる。

【0038】さらには、密着型イメージセンサに用いる光電変換装置のみならず、エリアセンサの解像度制御に本発明を適用することも可能である。

【0039】(実施形態2)図4は本発明の実施形態2における光電変換装置の回路ブロック図であり、図5は信号生成回路のタイミングチャートである。

【0040】図4において、本実施形態は、光電変換素子を含む光電変換チップは、外部からクロックパルスを入力するクロックCLK入力端子1及びスタートパルスを入力するスタートパルスSP入力端子2、解像度に応じた制御信号を生成する信号生成回路3'、及びその信号を読み出す2種類の信号線( $\phi_{n1}$ )10、( $\phi_{n2}$ )11、クロックパルスに応じて順次信号をシフトするシフトレジスタ6、シフトレジスタ6を作動させるタイミングを発生させるタイミング発生回路5、光電変換のための受光素子アレイ7から構成されている。

【0041】以下、本実施形態の動作について説明す

る。

【0042】まず、上記実施形態1と同様に、スタートパルス、クロックパルスが、信号生成回路3'に供給され、信号生成回路3'に入力されるスタートパルスは、解像度に応じてそのパルス幅を変えて光電変換装置に入力する。

【0043】本実施形態2においては、信号生成回路3'は、スタートパルスがHiの期間に入力されるクロックパルスの数によって解像度切り換え信号を生成することにより、4種類の解像度切り換え信号を出力し、シフトレジスタ6に入力する。

【0044】ここで、シフトレジスタ6は、特に限定されるものでなく、上記実施形態1と同様に例えば、8画素1ブロックであるシフトレジスタブロックから構成されている場合に、この4種類の解像度を解像度1から4とすれば、解像度1の時では1画素1ビット、解像度2の時では2画素加算により2画素1ビット、解像度3の時では4画素加算により4画素1ビット、解像度4の時では8画素加算により8画素1ビットで、信号を読み出している。

【0045】また、受光素子アレイ7では、不図示のフォトダイオード等の受光素子において光電変換により生成された信号電圧がシフトレジスタから読み出しパルスによって時系列的にシリアルに読み出され出力端子18から出力される。

【0046】図5は各々の解像度におけるクロックパルスCLK、スタートパルスSP、及び制御信号(ΦM1、ΦM2)のタイミングチャートである。

【0047】前述の通り、スタートパルスは、解像度に応じてそのパルス幅を変えて入力するため、スタートパルスのパルス幅により入力されるクロックの数が異なり、それに応じて制御信号 $\phi_{M1}$ 、 $\phi_{M2}$ が、デコード等を用いることにより、それぞれHiまたはLoとなるよう

解像度モード	制御信号		解像度
	ΦM1	ΦM2	
解像度1	L	L	1200dpi
解像度2	H	L	600dpi
解像度3	L	H	300dpi
解像度4	H	H	150dpi

さらに、本実施形態は、2種類の制御信号により具体的に4種類の解像度を実現しているが、解像度信号の数は例示であり、任意の解像度信号の数によりさらに多くの解像度を得ることも可能であり、将来的には技術進歩により、現在の解像度よりも、さらに高密度の解像度を得られることも考えられ、そのときのユーザの要望に応じた多くの解像度を得ることが想定できる。

【0052】(実施形態3)図6は、実施形態1、または実施形態2において説明した光電変換装置を用いた画像入力システムである。

【0053】本実施形態3の画像読入力システムは、ク

にする。制御信号 $\phi_{M1}$ 、 $\phi_{M2}$ の変化によって、たとえば、シフトレジスタ6を制御し、受光素子アレイ7において光電変換された電圧を、走査線19を解像度1の場合には1本ごとに、解像度2の場合には、2本1組として、解像度3の場合には、3本1組として、解像度4の場合には、4本1組として読み出すことにより解像度切り換えを実現している。なお、本実施形態においては、図4に示した光電変換装置をセラミック実装基板上に30チップマルチ実装して密着型イメージセンサを形成している。

【0048】ここで、制御信号端子を各々の光電変換装置に設けた場合、2本の信号線を実装基板上に設ける必要が生じるため、従来では、実装基板幅は10mm必要であったのに対し、本実施形態の光電変換装置を用いた場合には、コントロール端子125等の不要な端子を取り除くことにより、8mm幅の実装基板上に実装可能であった。また、本発明により、制御信号端子を各々の光電変換装置に設けた場合に対して、スタートパルス、及びクロックパルスの入力端子2本ずつを、実施形態1と同様に15チップに設けると考えると、密着型イメージセンサとしてワイヤボンディングの数を60ヶ所少なくすることができ、安価な光電変換装置が実現できることとなる。

【0049】なお、本実施形態においては、受光素子アレイ7は1200dpiの解像度で形成された例を示しているが、制御信号(ΦM1)、及び制御信号(ΦM2)、により、600dpi、300dpi、150dpiの解像度を選択して信号を読み出すことが可能な構成となっている。ただし、解像度の数値は例示であり、これに限定されないことはいうまでもない。

【0050】なお、上記の制御信号と解像度の関係を参考として以下に例示する。

【0051】

ロック信号とスタート信号を出力することにより光電変換装置の動作を制御する駆動手段14と、該クロック信号と該スタート信号を入力信号として用いて解像度を変換する信号を生成する信号生成手段3または、3'を有する光電変換装置と、光電変換装置に入力するクロック、スタートパルスを変調する上記駆動手段14内部の駆動パルス変調手段15と、光源13から構成されている。

【0054】次に、本実施形態の動作を説明する。

【0055】外部のCPU17から出力される、例えば、2本の信号線から入力される2ビットの解像度切り

換え信号を駆動手段14内にある駆動パルス変調手段15を用いてスタートパルスの幅を、例えば、論理回路を用いてパルス幅を増減させることにより変調する。

【0056】すなわち、駆動パルス変調手段15は、光電変換装置にHi信号を入力するのか、Lo信号を入力するのかによってスタートパルスの幅を調整する。例えば、Hi信号を入力するときには、スタートパルスのパルス幅は短く、Lo信号の場合には、Hi信号に比し、スタートパルスの幅が長く設定され、光電変換装置20に入力される。

【0057】また、駆動手段14においては、他の機能として、例えばCPU17からスキャンを開始させたり、モータ駆動を受けて光源やセンサ駆動等の駆動を行っている。また、光電変換装置20は、実施形態1で説明したものと同一である。

【0058】さらに、光電変換装置20からの出力信号は、信号処理手段16にて、例えば、波形整形、シェーディング補正や、ダーク補正等の処理がなされ、その後、処理がなされた信号はCPU17に接続された接続線によりCPU17に取り込まれる。光源13は、モノクロ画像読み出しの時は、白色光源を、カラー画像読み出しの時は、赤、緑、青の3光源を用いて、対象部に照射する。

【0059】なお、光電変換装置20に入力されるスタートパルスは、駆動パルス変調手段にて、ユーザの選択によりHiまたは、Lo信号によりスタートパルスのパルス幅を変調し入力するため、光電変換装置20は、上記実施形態1及び2において説明した動作が得られ、端子を削減して解像度切り換え手段を有する光電変換装置を有する画像入力システムを実現することができる。

【0060】

【発明の効果】以上示したように、本発明は、クロック信号とスタート信号を入力とする解像度制御信号生成手段を設けているため、上記従来技術で必要であった解像度切り換えのためのコントロール端子が不要となり、解像度切り換え機能を有さない従来の光電変換装置と同様に製造することが可能となるため、その結果、製造コストをアップせずに解像度切り換え機能を付加することが

可能となるため、その効果は絶大である。なお、将来的に多くの解像度を選択できる光電変換装置を作成することを考慮するとより一層の効果が期待できる。

【図面の簡単な説明】

【図1】本発明の実施形態1における光電変換装置の回路ブロック図である。

【図2】実施形態1に示した信号生成回路の等価回路図である。

【図3】実施形態1に示した信号生成回路のタイミングチャートである。

【図4】本発明の実施形態2における光電変換装置の回路ブロック図である。

【図5】実施形態2に示した信号生成回路のタイミングチャートである。

【図6】本発明の実施形態3における光電変換装置の回路ブロック図である。

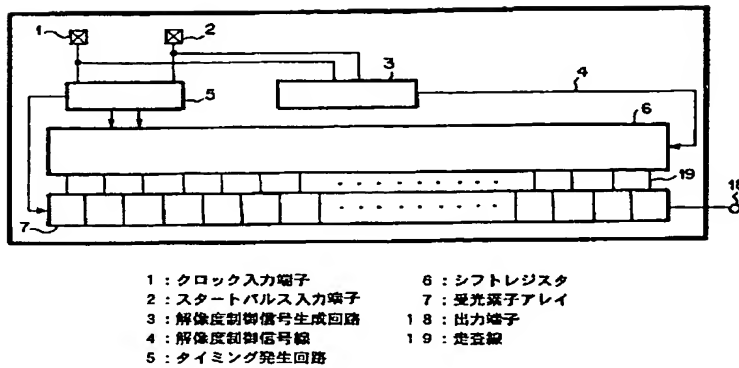
【図7】従来技術の密着型イメージセンサ用集積回路の回路図である。

【符号の説明】

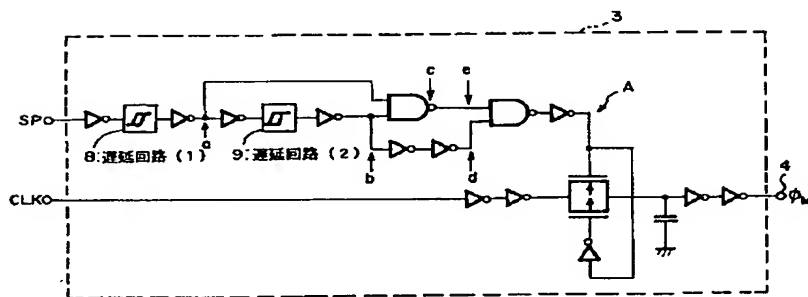
- 1 クロック (CLK) 入力端子
- 2 スタートパルス (SP) 入力端子
- 3、3' 信号生成回路
- 4 制御信号線 (ΦM)
- 5 タイミング発生回路
- 6 シフトレジスタ
- 7 受光素子アレイ
- 8 遅延回路 (1)
- 9 遅延回路 (2)
- 10 制御信号線 1 (ΦM1)
- 12 制御信号線 2 (ΦM2)
- 13 光源
- 14 駆動手段
- 15 駆動パルス変調手段
- 16 信号処理手段
- 17 CPU
- 18 出力端子
- 19 走査線



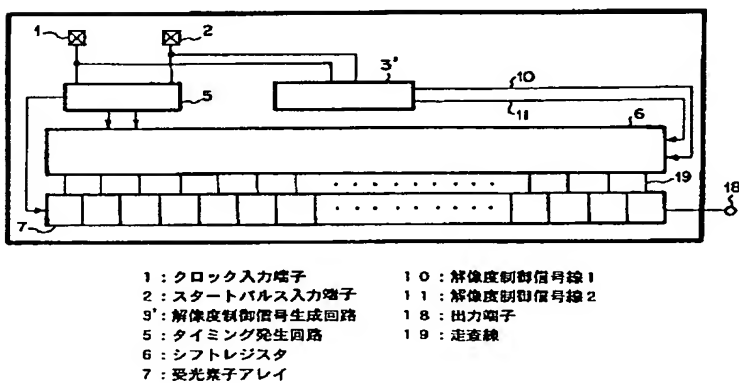
【図1】



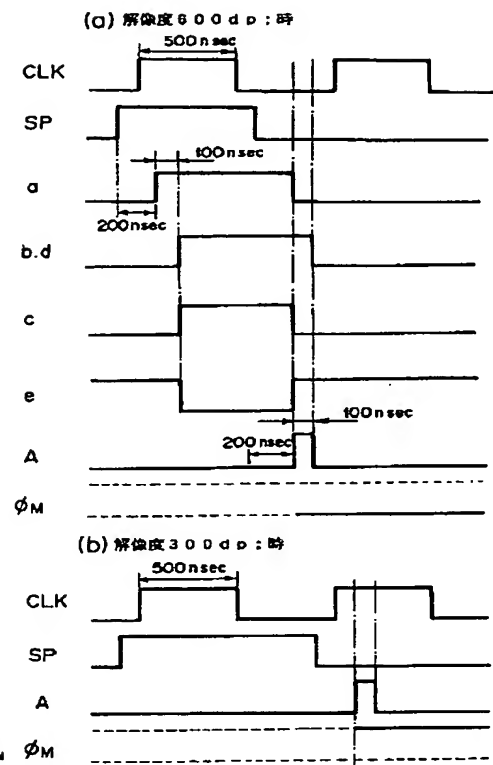
【図2】



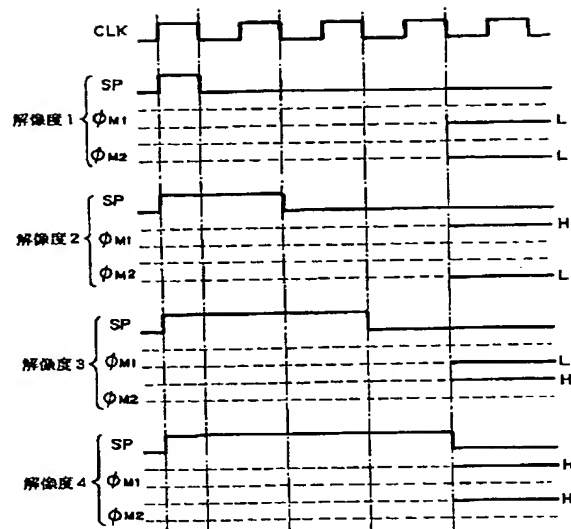
【図4】



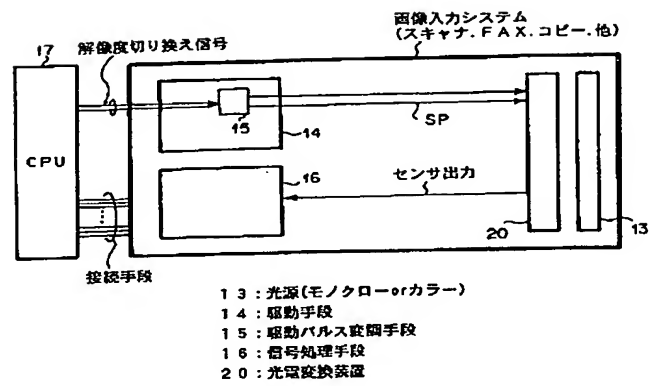
【図3】



【図5】



【図6】



【図7】

